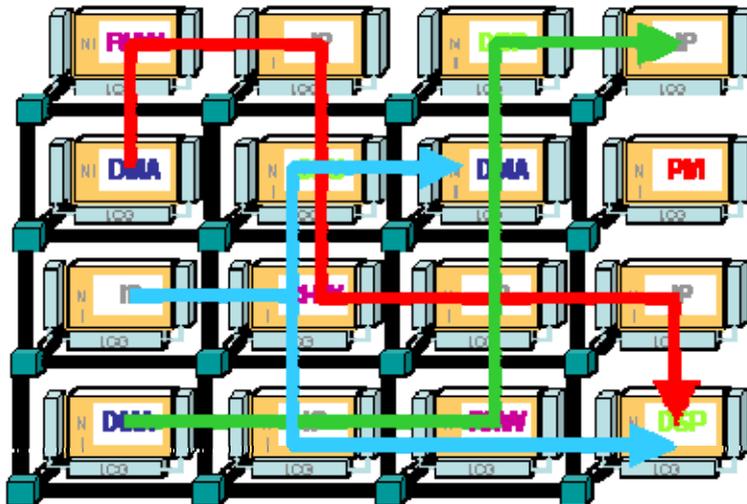


Thèse CIFRE CEA-Leti/STMicroelectronics

Vérification des réseaux sur puce (NoC) sous contraintes de performance

Dans le cadre des alliances des pôles de compétitivité ([Minalogic](#)), le CEA-Leti ([Minatec](#)) et [STMicroelectronics](#) proposent une thèse CIFRE à travers le projet [MULTIVAL](#).

Le CEA-Leti et STMicroelectronics font face à des problèmes communs autour des NoC (Network-on-Chip). Selon l'ITRS, ces nouvelles structures d'interconnexion doivent tendre à se généraliser dans les systèmes de calcul distribué massivement parallèles, et les architectures complexes de systèmes sur puce (SoC) dans les prochaines générations de circuits intégrés



Aujourd'hui, il n'existe pas de méthode de vérification solide pour de telles architectures de communications distribuées, en particulier du fait de l'absence d'une horloge commune. Elles restent potentiellement sujettes à des défauts bloquants très difficiles à mettre en évidence.

Les problèmes d'étreintes fatales (« dead-locks », « live-locks »), dues à des accès concurrents à des ressources partagées, sont hautement probables, et doivent être évités à tous niveaux du système. Ils nécessitent d'une part une programmation judicieuse des chemins de routage des différents messages dans le réseau, et d'autre part une adéquation des dépendances fonctionnelles entre les ressources du système. Par ailleurs, les architectures communicantes distribuées nécessitent de nombreux arbitrages, et une mauvaise implémentation de ceux-ci conduit souvent à des problèmes de « famine » et « propagation de famine », définitives ou temporaires, qui grèvent considérablement les performances que l'on peut attendre de la multiplication des organes de calcul.

Les représentations formelles de tels systèmes ont à l'heure actuelle, des fonctions bien séparées.

D'une part, les modèles de vérification permettent de mettre en évidence des violations de propriétés relatives aux communications et aux protocoles de communication. Ils se focalisent sur la conformité du système à ses spécifications fonctionnelles, mais n'ont pas de notion de qualité de service.

D'autre part, les modèles de performance permettent de rendre compte et d'analyser les débits, les latences, les efficacités de topologie. Ils donnent une approximation du déroulement des différentes phases de fonctionnement du système, mais n'ont pas une connaissance suffisamment fine du système pour observer les problèmes d'arbitrage entre ressources.

Ces modèles sont à l'heure actuelle incompatibles entre eux, et rendent ainsi les tâches beaucoup plus complexes en introduisant des incertitudes liées à la multiplicité des représentations.

Partenaire du projet MULTIVAL, [l'INRIA -Rhône-Alpes](#) développe des outils susceptibles de résoudre à partir d'un modèle unique les problèmes de vérification et d'analyse de performance, au moyen du langage de spécification formel LOTOS (normalisé ISO 8807) et la bibliothèque CADP associée. Si ces outils ont déjà fait leurs preuves dans la vérification de protocoles centralisés, le CEA/Leti et STMicroelectronics souhaitent les appliquer aux problématiques de systèmes distribués asynchrones.

Le but de cette thèse sera tout d'abord de mettre au point un modèle formel de NoC généralisant les architectures spécifiques du CEA/Leti et de STMicroelectronics. On pourra ensuite à partir de ce modèle déterminer les propriétés invariantes propres aux NoC et aux systèmes distribués en vue de leur vérification en connaissance des aspects de performance du système.

Il s'agira enfin à partir de ces travaux de dimensionner les éléments architecturaux participant à la définition optimum des architectures NoC, dont le développement représentera une étape majeure dans l'évolution des circuits intégrés actuels.

Contacts :

CEA-Leti

17 r Martyrs

38054 GRENOBLE CEDEX 9

Standard : 04 38 78 44 00

STMicroelectronics

12 r Jules Horowitz

38000 GRENOBLE

Standard : 04 76 58 50 00

Francois BERTRAND

francois.bertrand@cea.fr

Tel : 04 38 78 35 06

Richard HERSEMEULE

richard.hersemeule@st.com

Tel : 04 76 58 41 45

Yvain THONNART

yvain.thonnart@cea.fr

Tel : 04 38 78 29 71